

HIGH-SPEED SERIES L FOR ALL-DATA COMMUNICATION

Patent number: JP8056240
Publication date: 1996-02-27
Inventor: DEOGU KIYOON IEONGU
Applicant: DEOGU KIYOON IEONGU;; SUN MICROSYSTEMS INC

Also published as:

EP0686920 (A2)
US5714904 (A1)
EP0686920 (A3)
EP0686920 (B1)

Classification:

- **International:** H04L13/10; H03M9/00; H04L29/10
- **European:** H03K19/0185R; H03L7/099C2; H03M9/00; H04J3/04D;
H04L5/14D; H04L7/033E; H04L25/02G

Application number: JP19950137958 19950605

Priority number(s): US19940254326 19940606

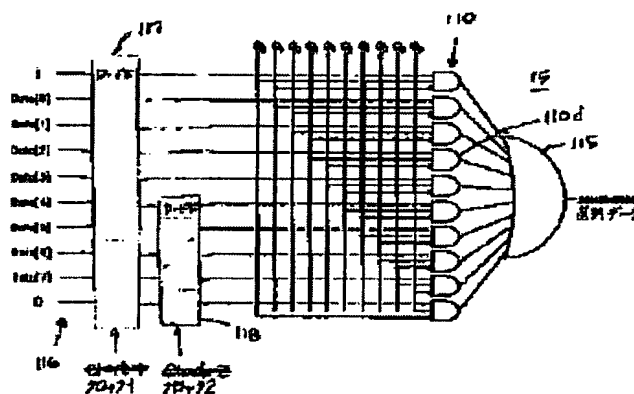
Report a data error here

Abstract of JP8056240

PURPOSE: To provide a system converting between parallel data and serial data.

CONSTITUTION: Each bit of parallel data is latched within individual registers 117 and 118.

Each register 117 and 118 is connected to corresponding AND gates 110 connected so as to receive a phase clock signal. The output terminals of the AND gates 110 are connected to an OR gate 115. Using this system with a properly phase adjusted clock, parallel data is converted into serial data.



Data supplied from the **esp@cenet** database - Worldwide

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-56240

(43) 公開日 平成8年(1996)2月27日

(51) Int.Cl. ^a	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 13/10		9371-5K		
H 0 3 M 9/00	B	9382-5K		
H 0 4 L 29/10		9371-5K	H 0 4 L 13/ 00	3 0 9 A

審査請求 未請求 請求項の数7 OL (全 30 頁)

(21) 出願番号 特願平7-137958

(22) 出願日 平成7年(1995)6月5日

(31) 優先権主張番号 08/254326

(32) 優先日 1994年6月6日

(33) 優先権主張国 米国 (US)

(71) 出願人 595080393

デオグ キョーン イェオング

大韓民国 ソウル特別市 クワナク ボ
ングチュン 7 ドン ガ 201 キョー
ス アパートメント

(71) 出願人 594170738

サン マイクロシステムズ インコーポレ
イテッド

アメリカ合衆国 カリフォルニア州

94043 マウンテン ヴィュー ガルシア
アヴェニュー 2550

(74) 代理人 弁理士 中村 稔 (外6名)

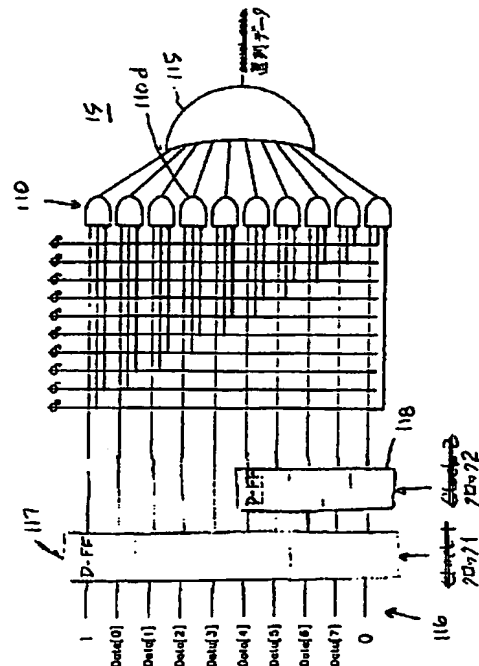
最終頁に続く

(54) 【発明の名称】 全二重データ通信のための高速直列リンク

(57) 【要約】

【目的】 並列データと直列データとの間を変換するシステムを提供する。

【構成】 並列データの個々のビットが個々のレジスタ内にラッチされる。各レジスタは、位相クロック信号をも受けるように接続されている対応ANDゲートに結合されている。これらのANDゲートの出力端子はORゲートに接続されている。本システムを適切に位相調整されたクロックと共に使用すると、並列データは直列データに変換される。



1

【特許請求の範囲】

【請求項1】 一連の高速クロック信号を生成する回路において、

参照クロック信号と、

上記参照クロック信号を受信するように結合され、それに応答して上記参照クロック信号の第1の電位から第2の電位への移り変わりを表す第1の制御電圧と、上記参照クロック信号の第2の電位から第1の電位への移り変わりを表す第2の制御電圧とを供給する位相周波数検出器と、

直列接続された複数の遅延セルの複数の段とを備え、

上記各セルは先行セルから制御信号を受信し、それを遅延させた後に後続セルへ供給し、上記各セルは上記制御電圧の変化に応答してクロック信号を供給し、そして上記複数のセルの最後のセルは最後のクロック信号を上記位相周波数検出器へも供給し、それによって一連の複数の副周波数クロック信号を生成し、上記複数の副周波数クロック信号は上記参照クロックから平等に分割されていることを特徴とするクロック信号生成回路。

【請求項2】 nビットの並列データをnビットの直列データストリングに変換する回路において、

並列データを一時的に記憶するためのn記憶位置を有するレジスタと、

他の全てのクロック信号とは異なる位相をそれぞれが有するnクロック信号の源と、

nクロック信号の1つによって可能化されるように結合されている第1の入力ノードと、上記n記憶位置の1つからデータを受信するように結合されている第2の入力ノードと、出力ノードとをそれぞれが有する複数のANDゲートと、

一つ一つが上記nANDゲートの各出力ノードに結合され、直列データ出力ノードを有し、上記nANDゲートの出力ノードから並列に供給されるnビットの並列データを直列出力データとして供給するORゲートとを備えていることを特徴とする変換回路。

【請求項3】 nビットの並列データをnビットの直列データストリングに変換する回路において、

n差動クロック信号の源と、

直列に接続された3つのトランジスタをそれぞれが含み、第1のノードと第1の電位源との間にそれぞれ並列に接続されている第1のグループの回路枝路とを備え、上記第1のグループの第1のトランジスタの制御電極は、並列データのnビットの1つを受信するように接続され、

上記第1のグループの第2のトランジスタの制御電極は、n個の異なるクロック信号の1つを受信するように接続され、

上記第1のグループの第3のトランジスタの制御電極は、上記n個の異なるクロック信号の選択された1つを反転した信号を受信するように接続され、上記選択され

2

た1つは上記第2のトランジスタへ供給されるクロック信号に次ぐ位相を有するクロック信号であり、

直列に接続された3つのトランジスタをそれぞれが含み、第2のノードと第1の電位源との間にそれぞれ並列に接続されている第2のグループの回路枝路をも備え、上記第2のグループの第1のトランジスタの制御電極は、並列データのnビットの1つを反転したものに対応する信号を受信するように接続され、

上記第2のグループの第2のトランジスタの制御電極は、n個の異なるクロック信号の1つを受信するように接続され、

上記第2のグループの第3のトランジスタの制御電極は、上記n個の異なるクロック信号の選択された1つを反転した信号を受信するように接続され、上記選択された1つは上記第2のトランジスタへ供給されるクロック信号に次ぐ位相を有するクロック信号であり、

上記第1及び第2のノードに接続され、それらからの信号を1つの導体に供給し、それによって並列データを直列データストリングに変換して上記導体に供給する可能化回路をも備えていることを特徴とする変換回路。

【請求項4】 伝送路上のデータストリームから入力データを抽出する双方向ブリッジ回路において、上記データストリームは入力データ及び出力データの混合を有し、上記回路は、

送信機からの出力データ信号を複製する第1の信号発生器と、

上記第1の信号発生器に結合されている第1の入力ノードと、上記伝送路に結合されている第2の入力ノードとを有し、上記第1の信号発生器からの出力データ信号を上記伝送路上の信号の混合から減算し、それによって入力データストリームを供給する比較回路とを備えていることを特徴とする双方向ブリッジ回路。

【請求項5】 伝送路上のデータストリームから入力データを抽出する双方向ブリッジ回路において、上記データストリームは入力データ及び出力データの混合を有し、上記回路は、

制御電極が上記出力データ送信のレプリカを受信するように結合され、第1の電極が電流源に接続され、そして第2の電極が負荷を通して電位源に接続されている第1のトランジスタと、

制御電極が上記伝送路上のデータストリームを受信するように結合され、第1の電極が上記電流源に接続され、そして第2の電極が電位源に接続されている第2のトランジスタと、

上記第1のトランジスタの制御電極に接続され、上記入力データを供給する出力ノードとを備えていることを特徴とする双方向ブリッジ回路。

【請求項6】 第1及び第2の電極を有する差動伝送路上のデータストリームから入力データを抽出する差動双方向ブリッジ回路において、上記データストリームは入

50

力データ及び出力データの混合を有し、上記回路は、上記差動伝送路の第1の電極に結合されている第1の回路を備え、上記第1の回路は、制御電極が上記出力データ送信のレプリカを受信するように結合され、第1の電極が電流源に接続され、そして第2の電極が負荷を通して電位源と、真の出力ノードとに接続され、上記伝送路からの真の入力データを上記真の出力ノードに供給する第1のトランジスタと、制御電極が上記伝送路上のデータストリームを受信するように上記伝送路上の第1の電極に結合され、第1の電極が上記電流源に接続され、そして第2の電極が負荷を通して電位源と相補出力ノードとに接続され、上記伝送路からの相補入力データを上記相補ノードに供給する第2のトランジスタとを含み、上記回路は、上記差動伝送路上の第2の電極に結合されている第2の回路をも備え、上記第2の回路は、制御電極が上記出力データ送信の相補レプリカを受信するように結合され、第1の電極が上記電流源に接続され、そして第2の電極が上記相補出力ノードに接続されている第3のトランジスタと、制御電極が上記伝送路上のデータストリームを受信するように上記伝送路上の第2の電極に接続され、第1の電極が上記電流源に接続され、そして第2の電極が上記真の出力ノードに接続されている第4のトランジスタとを含むことを特徴とする差動双方向ブリッジ回路。

【請求項7】 直列データ入力ストリームを並列データ出力ストリームに変換する受信機において、上記直列データ入力ストリームを受信する複数のレジスタと、

複数のクロック信号を上記複数のレジスタへ供給するクロック発振器回路と、

上記クロック信号に応答して上記レジスタ内のデータの状態を検出し、それに応答して上記データを表す出力信号を供給するサンブラと、

上記並列サンブラから上記出力信号を受信するように接続され、それに応答してデータをワードに分割するデータ整列回路と、

上記データ整列回路に接続され、上記データサンプルから0交差を検出して殆どの縁の移り変わりを有する位置を見出すポータと、

上記ポータからの上記直列データを並列データに変換するデータ分離回路とを備えていることを特徴とする受信機。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、全二重直列データ通信を可能にする高速通信リンクを提供するためのシステムに関する。より特定的には、本発明は、このような直列リンクを介して、並列データ経路を有する装置を相互接続するためのインタフェース回路に関する。

【0002】

【従来の技術】 電子及びコンピュータ技術が発展し続けるにつれて、近くに位置している、またはある距離に位置している異なる装置間の情報の通信が益々重要になってきている。例えば現在では、1つの回路基板上の異なるチップ間、1つのシステム内の異なる回路基板間、及び異なるシステム同士の高速通信を提供することが、従来よりも一層望まれている。また、特にグラフィックもしくはビデオ情報、多重入力・出力チャンネル、構内通信回路網等々を使用する集中的なデータ消費システムにおけるデータ通信に要求される大量のデータを考えると、これらの通信を極めて高速で行うことも益々望まれている。通常は並列データバスを使用してデータを内部で転送している個々のパーソナルコンピュータ、ワークステーション、もしくは他の計算装置を、比較的簡単な伝送路を通して互いに通信できるようにすることが特に望まれている。現在市販されている計算システム内では、64ビット及びより幅広いデータ経路を使用しているのに対して、これらの伝送路は典型的には1本もしくは2本の導体を含んでいる。

【0003】 並列データを直列形状に高速変換し、直列リンクを通して伝送しようとする製品は多数市販されてきた。Hewlett-Packard G-link チップセットがこのような製品の一つである。このチップセットは送信機セットを含み、20もしくは24ビット幅の並列データを処理することが可能である。しかしながら、必要速度を得るために、このチップセットはバイポーラプロセスを使用して製造され、受信機及び送信機は分離したチップを必要とする。このような解決法は、大きい電力を消費し、且つ高価である。またこれは、並列・直列データ変換に対して普通のアプローチ、即ち伝送速度で動作するフェーズロックドループ発振器を使用している。典型的にこれらの装置は、シリコンサブストレート内に雑音を導入し、そのチップ上の他のフェーズロックドループ回路と干渉し合う。このため多くのチャンネルを単一のチップ上に集積することを困難にしている。別の解決法がフランスの Bull によって提唱されている。Bull の技術は、並列・直列データ変換のために周波数通倍器を使用する。典型的にこれらの装置はシリコンサブストレート内に雑音を導入し、そのチップ上の他の通倍器と干渉し合う。更に Bull の技術は、並列・直列変換のために排他的OR樹木を使用している。排他的OR樹木の使用は、これらの装置の全ての経路を通る遅延を等化することが困難であることと共に公知である。Bull の技術は、特別なコード構成の使用が必要な遅延ロックループを使用しており、これはコーディング効率を低下させる。

【0004】

【発明の概要】 本発明は、1ギガビット/秒より速い速度で並列データを直列データに変換することができる極

めて高速のデータシリアルライザ（もしくはダイナミサイザ）、及び各チャネル毎に個々の独立クロックを必要としないデータ／クロック回復回路を提供する。極めて高い速度でデータ変換が可能であるにも拘わらず、本発明は、これらの高速装置に普通に使用されているガリウム・砒素、パイボラその他の技術とは対照的に、公知の相補MOS技術を使用して比較的安価に製造することができる。また本発明は、直列データを並列データに変換する技術をも提供する。この技術によれば、多くのチャネルに対して単一の発振器だけを使用し、それによって注入効果（従来技術の装置では個々のチャネルに組合わされている全ての発振器が単一の周波数に誤って同期する）の可能性を排除する。更に、使用される技術は排他的OR樹木の使用を回避し、それらに伴う遅延経路の等化の困難性を排除している。好ましい実施例では、並列・直列変換は1もしくはそれ以上のラッチを使用し、変換前の並列データストリーム内のデータをラッチすることによって達成される。各ラッチの出力端子は対応するANDゲートに接続されている。各ANDゲートの他方の端子は、位相調整されたクロック信号を受信するように接続されている。クロック信号が可能にされると、ラッチされていたデータがANDゲートの出力端子に供給され、そのデータは多入力ORゲートの入力端子に印加される。クロック信号は、各ANDゲートからのデータがORゲートに順次供給されるように位相調整されおり、ORゲートから適当な送信機もしくは他の装置へデータが直列に供給される。

【0005】一実施例では、並列データのNビットを直列データストリングに変換する回路は、並列データを一時的に記憶する少なくともN記憶位置を有するレジスタを含んでいる。各クロック信号が他の全てのクロック信号とは異なる位相を有するような適切な数のクロック信号の源が設けられており、一連のANDゲートのそれぞれには異なるクロック信号が印加される。各ANDゲートは、並列データの適切な1つのビットも受信するように接続されている。対応する数の入力ノードを有するORゲートに各ANDゲートの出力が印加される。クロック信号を適切に位相調整することによって、ANDゲートの入力端子に印加されたデータはORゲートによって直列形状に変換され、送信機もしくは他の装置へ直列に供給される。

【0006】

【実施例】図1は、全二重高速データ通信のための直列リンクを提供するシステムの高レベルブロック線図である。図1に示すように、システム10は伝送路100に接続されている。概述すればシステムは、所望の他の装置に結合される並列インタフェース12を含んでいる。例えば、インタフェース12は、ワークステーション、パーソナルコンピュータ、高品位テレビジョン、構内通信回路網、印刷回路基板等々のバスに結合することがで

きる。本質的に、インタフェース12は、一連のライン即ち“バス”を通してデータを並列に供給するのでのような外部装置にも結合することができる。インタフェースがデータを受信すると、それは並列・直列変換器15へ供給される。変換器15は、インタフェース12からの並列ビットストリームを直列ビットストリームに変換し、それを、伝送路100上に信号を駆動することができるドライバ回路20へ差動式に供給する。ドライバ回路20からの信号は、伝送路100に直接結合されている双方向バッファ25へ転送される。双方向バッファ25は、信号を伝送路へ供給すると同時に、伝送路から信号を受信することもできる。変換器15からドライバ20を通してバッファ25へ達する経路が、出力データ、即ち伝送路へ印加されて遠隔チップ、PC基板、システム、その他の装置へ送られるデータのために設けられている。伝送路100はツイナックス（twinx）もしくはツイストペア線であり、典型的には二地点間リンクとして機能する。

【0007】伝送路上に出力データと同時に存在することができる入力データは、双方向バッファ25によって、伝送路100上の混合された入力／出力信号から抽出される。次いで入力データはドライバ30を通して直列・並列変換器34へ供給される。変換器34はライン32上に差動形状で供給される直列データを受入れ、それをサンプルして並列データに変換する。変換後、データはデータ分離回路40へ供給され、データ分離回路40はオーバサンプルされたデータビットから適切なビットを抽出してそれらを出力インタフェース42へ供給する。入力インタフェース12と同様に、出力インタフェース42は、データを供給すべき外部コンピュータシステムもしくは他の所望装置に接続される。図2は、4チャネルを有する直列リンクのより詳細なブロック線図である。図2はシステム10の成分間の相互関係を詳細に示すと共に、1群の直列リンクシステムを共通に制御して1群の直列リンクとインタフェースできる手法をも示している。また、共通クロック信号及び共通インタフェース整合回路を直列リンクの幾つかのチャネルの間で共用できる手法をも示している。直列リンクの各チャネル、例えばチャネル0は、外部システム50からの並列インタフェース12と、外部システム50へデータを提供するインタフェース42とを含む。動作中、インタフェース12上のデータは、詳細構造に関しては後述する送信機へ供給される。双方向バッファ25は送信機から直列データを受信し、それを直列リンク伝送路上へ印加する。同様に、伝送路100からの直列データは双方向バッファ25によって受信され、サンブラ34によってサンプルされ、そして並列データに変換するために受信機52へ供給される。受信機から外部システム50のために並列バス42が設けられている。

【0008】詳細に関しては後述する高速クロック60

が直列リンク100と、一連のクロックライン62とに接続され、送信機間にクロック信号を分配する。受信機もクロックライン62に接続されている。この高速クロックは本システムの重要な部分である。普通のデータシリアルライザでは、D型フリップフロップもしくはラッチが、並列入力・直列出力シフトレジスタとして構成されている。不幸にもこのようなアプローチを使用した場合、データ転送速度に等しい周波数のクロック信号を生成して処理することが困難であるために、極めて高速のデータシリアルライザを製造することは困難である。また、このようなクロックの速度で動作するフリップフロップもしくはラッチを設計することも困難である。従って、1ギガビット/秒を超えるビット転送速度を有するシリアルライザでは、このように高い周波数でクロック、ラッチ、フリップフロップ等を生成することは極めて困難である。高電力消費もしくは未来半導体技術を使用することを望まない場合には、この困難の程度は一層大きいものとなる。例えば、バイポーラ技術でこのような速度でスイッチングさせることは可能であるが、一般に大量の電力を消費し、大容量の電源、チップの冷却その他の問題を生ずる。ガリウム・砒素はこのような高速クロックを供給できる別の技術であるが、ガリウム・砒素技術を使用して製造された成分は一般に高価であり、広く使用することはできない。これに対して、CMOS技術は広く使用可能であり、比較的安価であり、そして一般に大きいスタンバイ電力を消費しない。

【0009】これらの欠点を解消するために、好ましいことに本発明のシステムのクロック60は、システムの残余と共に、標準CMOS技術を使用して製造されているながら、1ギガビット/秒以上のデータ転送速度を十分に処理するために十分な数のクロック位相を発生することが可能である。図3は、図2に示したクロックライン62のレイアウトを示す図である。多数のクロックが回路基板もしくは他のサブストレートを横切って敷設されている場合には、隣接電線からの漏話（もしくはクロストーク）が各クロックラインに信号遅延を付与する。図3に示す一連の並列クロックラインはそれぞれ、隣接クロックラインに容量的に結合されている。もしクロックが、等間隔の位相を有する多相クロックであれば、ラインの集合の中央のクロック信号は両隣接クロックライン上の信号から同じように影響され、それによって容量性結合の逆方向効果が打ち消される。打ち消されることがない唯一の例外は、並列導体の端付近のクロックラインである。これらのクロックラインはそれらに隣接する一方のラインが存在していないので、非対称効果によってクロックスキューがもたらされる。しかしながら図3に示すように、本システムの好ましい実施例では、ダミークロックラインを敷設し、並列群の各端のクロックラインがこれらのダミークロックラインから対称的な結合を受けるようにし、それによってスキューを除去するよう

になっている。即ち、クロック位相 ϕ 、及び ϕ_1 が重複しており、クロック位相 ϕ を輸送するラインに隣接して配置されている。同様に、 ϕ_{n-1} 及び ϕ_n を輸送するラインがクロック相 ϕ を輸送するラインに隣接して配置されている。このようにすると非対称容量性結合が無効になる。4ライン置きにではなく、全てのクロックラインが必要な実施例では、このレイアウトは、 ϕ 、 ϕ_1 、 ϕ_2 、 \dots 、 ϕ_{n-1} 、 ϕ_n が隣接し合うように変更される。別の実施例では、中央のラインの状態が移行変わる時に、隣接クロックが静的0もしくは1に整定し終わっているようにクロックラインを配置することができる。例えば30位相クロックの場合、 ϕ はその隣接位相として ϕ_1 、 ϕ_2 、 ϕ_3 、もしくは ϕ_4 を有していなければならないが、 ϕ_2 、もしくは ϕ_1 と隣接してはならない。勿論、バスの遠い側においては多数のラインが必要である。

【0010】図4は、単一で使用されようと、もしくは図2に示すような多チャネル実施例内に使用されようと、直列リンクシステムに供給される位相クロックを生成するために使用されるクロック回路60のブロック線図である。図4に示すようにクロックシステムは、位相周波数検出器64、チャージポンプ及びループフィルタ65、及び一連の遅延セル68を含んでいる。図示の回路はライン70上の参照クロック信号を受信し、そのクロックの移行変わりに応答して周波数分割器の効果によって所望数の内部クロックをライン73上に生成するように機能する。各クロックは、位相をずらせた（即ち、移相した）クロック信号に対応する。図示実施例では、

30の平等に位相をずらせたクロック信号が参照周波数の2倍で生成される。換言すれば、参照クロック信号の2つの連続的な立ち上がり縁の間に29の内部クロックの立ち上がり縁が生成される。外部参照クロックが50MHzであれば、システムは実効的に遙かに高速度のクロックを供給することができる（例えばこの実施例では、30クロックの単一のクロック周波数を用いて発生し得る縁の数は3GHzである）。これらの多相クロックは、直列リンクの送信機及びデータサンプリング機能を制御するために使用することができる。図示の特定実施例の場合には、10個の位相クロック（30クロックの3クロック毎に）が送信機に供給され、30位相クロックがデータサンブラに供給される。データサンブラからの30出力を受信機において調べ、正しいデータ及び元の参照クロックを回復することができる。図2に示した実施例を使用すれば、位相クロックは直列リンクシステムの種々のチャネル間で共用することができる。

【0011】図4の実施例は、フェーズロックドループとして機能する。位相検出器64は1つの遅延セルからの副位相クロック73の1つck0の周波数を、2で除した後に、ライン70上の参照クロック信号の周波数と比較する。位相検出器の出力は、ループフィルタ65を

通過した後には遅延セルを通して戻され、その遅延を参照クロック信号と精密に同相に維持される。このようにして、ライン73上の副周波数クロック信号は、元の参照クロックから平等に分割されるのである。位相周波数検出器64は、参照クロック信号と、1つの段の遅延セルからの発振器クロック信号との相差に関連する出力信号を発生する。これにより、その発振器クロックを参照クロック信号と同期して制御することができる。位相周波数検出器64の出力はチャージポンプ及びループフィルタ65を制御し、制御電圧をライン74を通して遅延セル68へ供給させる。この制御電圧は、遅延セルを速くしたり、遅くしたりする。各遅延セルは、先行遅延セルの出力信号から僅かに遅延している出力信号を発生する。フェーズロックループによって、遅延セルの各出力は参照クロック信号の周波数を整数で除した値である。発振器の周波数 f は、 $f = 1 / (2 \cdot N \cdot T_d)$ なる関係を持つように制御電圧によって制御される。ここに、 N は遅延段数であり、 T_d は制御電圧の関数としての各遅延セルの遅延時間である。

【0012】クロック発振器は、15段差動遅延セル、周波数分割器、位相周波数検出器、チャージポンプ、ループフィルタ、及びクロックバッファで構成されている電圧制御発振器(VCO)を含む。各位相クロックは2つの並列バッファによって緩衝されるから、クロックバッファからは2つの群の100 MHz、30位相クロックが生成される。各位相クロックを2つのクロックバッファによって緩衝し、2つの群の30位相クロックを生成するのに等しい位相を有する2つのクロックを発生させるのは、等しくロードされた等間隔の「きれいな」クロックを「汚れた」クロックから分離するためである。受信機内では3 GHzデータオーバーサンプリングクロックとして1組が使用される。データオーバーサンプリングでは、センス間隔を可能な限り等間隔にする、即ちセンス間隔を0.33 ns以内に制御することが重要である。この組のクロックは等間隔で且つ等しくロードされていなければならない。他方の組のクロックは送信機をクロックするために使用され、送信機内に含まれるデータローダが1つのクロックを使用して10ビット入力並列データをロードする。クロックは、100 MHz、10位相クロックである。各位相の間隔は1ビット直列データの伝送時間に等しい。

【0013】図5は、クロック発振器の回路構造を示す回路図である。図5の右下部分には2つの遅延セル86及び87が示されている。各遅延セル86及び87は、それぞれ図4に示した30段の遅延セル68内の1つの遅延セルに対応する。遅延セル86はノード88及び89から参照クロック信号と、その反転を受信する。クロック信号はトランジスタ91及び92をオン及びオフにトグルし、出力信号“出力”及び“出力バー”(“出力

バー”は“出力”の否定もしくは反転を表し、図では字上線で示されるものである、以下同じ)を生成する。これらの出力信号はクロックドライバ回路90を制御するのに使用される。クロックドライバ回路90は普通のクロックドライバであって、クロック信号 $ck0$ を生成するためにこの差動出力信号を使用する。 $ck0$ のために使用されるこれらの信号は、遅延セル87内のトランジスタ93及び94へ入力クロック信号を供給するようにも接続されている。同様にして、遅延セル87は中間ノードに出力信号を供給する。これらの出力信号は共にクロックドライバへ供給されてクロック信号 $ck1$ が生成され、後続遅延段(図示していない)へ印加される。遅延セルの各段にスイッチング遅延があるために、各後続遅延セル段のための入力クロック信号は先行段の入力クロック信号よりも僅かに遅延させてある。即ち、クロック $ck0$ 、 $ck1$ 、 $ck2$ 、 \dots 、 ckn は各々先行クロックから小さい量だけ遅延されている。

【0014】しかしながらクロック信号の1つ、例えば $ck0$ は、ライン80を通して位相周波数検出器64へも戻され、検出器64においてライン70から到着する元の参照クロックと比較される。参照クロックと遅延セルチェーンから選択されたクロックとの位相関係に依存して、位相周波数検出器64はトランジスタ81及び82をターンオン及びオフさせる出力制御信号を供給する。位相周波数検出器64は公知設計のものである。位相周波数検出器64から供給される制御信号は、参照クロックとクロック $ck0$ との位相関係に依存して、トランジスタ81と82との間のノードAをプルアップもしくはプルダウンさせる。トランジスタ81がオンになると、電流がノードAへポンプされ、ノードAに共通接続されているトランジスタ96、97等へ印加される制御信号を増加させる。この増加した電圧がトランジスタ96及び97をより大きく導通させるので、トランジスタ91、92、93、94等のスイッチング時間を短縮させ、今度はそれらが各段内のクロック遅延を短縮させる。一方、もしトランジスタ82がオンであればノードAはプルダウンされ、ノードAの制御電圧が低下するので、各遅延セルの動作が遅くなる。

【0015】図示のように公知のループフィルタリング回路も設けられ、ノードAに接続されている。更に、位相周波数検出器制御信号によって引き出すことができる最大電流を制御するために、外部電流制御抵抗がノード84に接続されている。また、トランジスタ96、97等の制御ノード並びに遅延セルチェーン内の他のトランジスタに接続されているレプリカバイアス回路も示されている。このレプリカバイアス回路は、遅延セルのスイッチングによって生ずる電源(VDD)内の動揺の影響を最小にすることによって、遅延セル上の電圧を安定化させるようになっている。以上のようにして各遅延セルの出力が取り出され、対応するクロックドライバ90を

通して図2に示すクロックラインの1つに供給される。このようにして一連の等間隔のクロック信号(各々の位相は先行クロック信号とは僅かに異なる)が供給され、直列リンクの送信機及び受信機によって使用される。上述したように、遅延セルはレプリカバイアス回路によって制御される電圧制御抵抗(VCR)を含む差動構造を用いて実現されている。差動的に構成された遅延セルが高周波発振を支援するために使用される。レプリカバイアス回路はVCO遅延セルと同一の構造を有している。レプリカバイアス回路はクロック信号スイングの最小電圧レベルを実現し、この電圧レベルは演算増幅器によって参照電圧と比較される。この演算増幅器は、クロック信号の最小電圧レベルと参照電圧とを比較してレプリカバイアス回路及び15段遅延セル内に含まれるVCRを制御する。その結果、VCRが演算増幅器によって調整され、VCOの電圧スイングは高周波発振を支援することができる約1Vに制限される。このフィードバックループを安定にするために、補償用MOSコンデンサが含まれている。チャージポンプの電流レベルは、カレントミラー回路によって制御される。カレントミラーの電流レベルは、外部ピン84を介してVDDに接続されている抵抗によって制御される。カレントミラーの大きさは、チャージポンプの電流源の大きさの約10倍である。これにより漏洩電流の効果が排除され、チャージポンプの電流レベルの精密さが増大する。

【0016】図6は、図4のシステムからの一連のクロック信号の位相関係を示すタイミング図である。前述したように、各クロック信号は先行クロック信号から僅かに遅延されている。図7は、直列リンク内の送信機回路の並列・直列変換器15(図1)の部分を示すブロック線図である。図7に示すように、並列・直列変換器15は、一対のレジスタ117及び118を含む。一連のD型フリップフロップであることが好ましいレジスタ117は、入力として並列データバスの各ラインからのデータを受け、図7にクロック1で示されているクロック信号を受信するとこのデータをレジスタ117内にラッチする。レジスタ118は、レジスタ117の若干のフリップフロップからデータを受けるように接続され、クロック信号(クロック2)を受信するとそのデータをラッチする。この特別なレジスタ118は、付加的なセットアップ及び保持時間を与えるものであり、従って任意選択的である。レジスタ118を用いると、先行サイクルからのデータが未だにレジスタ118から転送中である間に、新しいデータをレジスタ117内へロードすることができる。データがレジスタ内へクロックされ終わってから、それはAND/OR回路内へクロックされる。AND/OR回路は一連のANDゲート110及び1つのORゲート115からなっている。

【0017】好ましい実施例では、並列データの8ビットが直列データの10ビットとしてエンコードされるの

で、図7に示す実施例には10データビットを示してある。どのような望ましいエンコーディングスキームを使用しても差し支えないが、データビットの状態には関係なく必ず十分の数の縁(もしくはエッジ)が発生し、直列データリンク上の受信機を入力データに同期可能にするために、好ましい実施例ではこのコーディングスキームを使用しているのである。入力データ内に「縁」が存在することが保証されていなければ、長い0もしくは1のストリングを受信した時に受信機はドリフトする恐れがある。更に、0もしくは1の長いストリームが受信機バイアスにドリフトを発生させないように、2つの特別ビットによってデータストリームを平衡させることができる。レジスタからのデータは、各ビットが分離している導体によってANDゲート110に印加される。各導体は、ANDゲート110の対応する1つに接続されている。各ANDゲートは、図4に示すクロック発振器回路によって生成された副周波数クロックの1つをも受けている。副周波数クロックは等間隔であることが好ましい。換言すれば、もし10クロックを直列化のために使用するのであれば、30の考え得るクロックの中から3番目のクロック信号毎に選択する。一つの例として、ANDゲート110dの一方の端子がデータビット2を受け、第2の入力端子が位相クロック ϕ を受けているものとする。このANDゲートに第3の入力端子がない場合には、クロック信号が印加されるとこのANDゲートはレジスタ116からのデータをその出力端子へ通過させ、ORゲート115の入力端子の1つへ印加する。

【0018】クロック信号 ϕ 、 $-\phi$ は重なり合っているから、ORゲートの2以上の入力端子が任意の時点で活動になることを防ぐ必要がある。これは各ANDゲートに第3の端子を設け、この第3の端子にはそのANDゲートに直接印加される位相の次の順番の位相のクロック信号を反転した信号を印加することによって達成される。例えば、ANDゲート110dは位相 ϕ と、反転端子を通して位相 ϕ とを受けている。これにより、クロック信号 ϕ が活動になるか、もしくは非活動になり、且つクロック信号 ϕ が非活動であれば、このANDゲートは可能化されそれに印加されたデータはORゲート115へ通過することができるようになる。これに対して、クロック位相 ϕ 及び ϕ が共に活動である場合には、このANDゲートは不能化されてデータはORゲート115へ印加されない。ORゲート115は、入力信号として各ANDゲート110からの出力信号を受信する。ORゲートには入力信号が順次に到着するので、ORゲート115の出力には、レジスタ117に供給される並列入力データの順次サンプリングを表す直列データストリームが現れる。レジスタ117及び118に供給されるクロック1及び2を適切に位相調整することによってこれらのレジスタにデータを再ロードすることができるので、クロック位相 ϕ が到着した時には、

第2の組のデータはレジスタを再ロードするのを待機する必要なくORゲート115を通してクロックされる準備が整っている。

【0019】図8及び9は、それぞれ20対10マルチプレクサの詳細構造と、マルチプレクサ動作のタイミング図である。マルチプレクサは10個のNMOSバストランジスタと10個のPMOSトランジスタとからなっている。20ビットの入力データの下側の10ビットは10個のNMOSバストランジスタに印加され、上側の10ビットは10個のPMOSトランジスタに印加される。'mux_switch'と命名されている50MHzのマルチプレクサ制御クロックは'M_clk(2)'を2で除することによって得られたものである。図9に示すように'mux_switch'クロックは'M_clk(2)'の立ち下がり縁によってトグルする、即ち状態を反転する。'mux_switch'クロックが高に保持されている間は10個のNMOSバストランジスタがターンオンされ、下側の10ビットがマルチプレクサを通して送信機へ伝送され、そして'M_clk(2)'の立ち上がり縁においてデータローダによってセンスされる。このクロックが低に保持されている間は10PのNMOSバストランジスタがターンオンされ、上側の10ビットがマルチプレクサを通して送信機へ伝送され、そして'M_clk(2)'の立ち上がり縁においてデータローダによってセンスされる。

【0020】図10は、図7のANDゲート110及びORゲート115に使用される回路の回路図である。図10において、各枝路120はAND機能を遂行する。例えば図10の左側の枝路の場合、ノード125はクロックck0が存在し、且つクロックck1が非活動である場合に限って、d5の状態によって制御される。従って適切なクロック信号が活動である時には、出力ノードはノードd5からデータを受ける。ANDゲートを表す枝路は全て一緒にノード125に接続され、それによってORゲートを構成している。換言すれば、クロック信号は位相調整されているので、MOSトランジスタの制御ノードに印加されるデータは順次に出力ノード125に現れる。従って、出力ノードは先ずデータd5を発生し、次いでd6を発生し、次いでd3を発生する等々である。本発明の好ましい実施例では差動データ信号を使用している。この場合、図10の右側部分は図10の左側部分に対応している。但し、右側のデータは左側のデータに対して反転されている、即ち相補的であることが異なっている。即ち、図10の右側部分の左側枝路は反転されたデータ信号d5バーを受け、他の全ての枝路も反転したデータ信号を受けている。このように相補データが出力ノード128へ供給される。可能化信号はトランジスタ130及び131の制御電極へ印加され、ノード125及び128からのデータをライン135を通してスイッチし、最終的に直列リンクを駆動する。

【0021】図11は、出力ドライバ及び双方向バッ

ファの回路図である。図11の回路構成を図1もしくは図2の双方向バッファ25として使用することが好ましい。差動双方向バッファを図12に示し、以下に説明する。伝送路を通信のための媒体として使用する場合、伝送路上に現れる混合された入力及び出力データから入力データを分離するために適切な回路を使用している時に限って、伝送路を同時に両方向に使用することが許容される。この場合、全二重動作が許される。勿論、全二重動作は、媒体に対して特別なハードウェア費用を課することなく利用可能な帯域幅を二倍にするので有利である。図11に示す回路は、伝送路上に存在する混合されたデータから出力データを減算し、それによって入力データを抽出する減算器として機能する。通常、演算には精密な抵抗が必要であり、これらの精密抵抗はCMOS技術では実現できないことから、典型的にはCMOSで減算器回路を実現するのは困難である。図11に示す回路は、抵抗を使用する必要がないことから特に有利である。抵抗の代わりに、この回路は送出レプリカ信号発生器及び差動対の組合せを使用している。送出レプリカ信号発生器は、送信機から出て行く送出信号の正確なレプリカを生成する。受信した信号と出力信号とを比較することによって純入力信号を決定することができる。例えばもし受信信号及びレプリカ信号が同一であれば比較の結果は0になり、これは純受信信号が存在しないことを意味する。しかしながらもし入力信号がレプリカより大きければ、比較の結果は正となり、伝送路から正の信号を受信したことを意味する。同様に、もし比較が負であれば、負の信号を伝送路から受信したことを意味する。

【0022】図11において、伝送路100上の入力及び出力の両データからなる混合信号は、ノード140からトランジスタ144の一方の電極に印加される。トランジスタ144の他方の電極は、ノード146の参照電圧を受けるように接続されている。この参照電圧は、ノード146と電流源147とに接続されているトランジスタ145に印加される参照電圧を使用して生成される。トランジスタ144の制御電極は送信機からのデータ出力を反転した形状で受信するように接続されている。このデータはトランジスタ149にも供給されて反転され、ノード150に供給される。従ってノード150は、直列リンク送信機からの出力データ信号のレプリカを表している。伝送路100は、差動トランジスタ対142及び152のトランジスタ142の制御電極にも印加される。トランジスタ152の制御電極はノード150に接続されていて出力データのレプリカを受信する。各トランジスタ142及び152の別の電極は一緒に電流源155に接続されている。トランジスタ142の他方の電極は電位源に接続され、一方トランジスタ152の他方の電極は負荷を通して電位源に接続されている。従ってトランジスタ142及び152の差動対は、出力信号のレプリカと伝送路上に存在する混合された入

力及び出力信号とを比較する。これらの両信号が同一の電位を有している場合には、ライン157上の出力信号は0Vになる。一方もし伝送路100が上記電位よりも高ければ、線157上の出力は正になり、もし出力信号のレプリカが高ければライン157上の回路の出力は上記電位よりも低くなる。

【0023】図示回路は、出力ライン157上の電圧スイングが比較的小さく、1V程度であるので特に有利である。即ち、出力が従来の減算回路よりも迅速にスイッチする。双方向ブリッジ及び適切なインピーダンス整合回路によって同軸ケーブルだけを使用する全二重データ転送が可能になる。図12は、インピーダンス整合回路及び双方向ブリッジの差動実施例を示す。インピーダンス整合回路内に電圧制御抵抗(VCR)として含まれているPMOSTランジスタ175は等価500Ω抵抗である。双方向ブリッジ内に含まれる各VCR170及び173は、それぞれがランジスタ175より10倍大きいので等価50Ω抵抗であり、VCR制御信号Zobiasによって制御される。同様にランジスタ170及び173は、伝送路の内部終端抵抗として動作して信号反射を除去する。ノードdsend及びdsendbには出力差動信号が現れ、ノードtwimax_data及びtwimax_databには出力差動信号と入力差動信号の混合が現れる。twimax_data及びtwimax_databは、特性インピーダンスが50Ωである同軸伝送路のケーブル端であるので、そのノードの活動負荷抵抗は50ΩVCRと特性インピーダンスとの並列の25Ωである。電流能取りが最大の場合には、twimax_data及びtwimax_databのノードの電流レベルはランジスタ175(等価500Ω抵抗である)より10倍大きい。従って、ランジスタ175の電流レベルが2mAである場合には、twimax_data及びtwimax_databは20mAを供給する。入力差動信号が存在しない場合にノード(twimax_data, twimax_datab)に現れる出力差動信号だけの最大スイングは約0.5V(25Ω×20mA=0.5V)である。もし入力差動信号が受信されれば、入力及び出力信号の混合された差動信号がノードtwimax_data及びtwimax_databに現れる。もし入力差動信号及び出力差動信号が「同相」であれば、混合差動信号の最大スイングは除去される(0.5-0.5=0V)。即ちtwimax_dataとtwimax_databとの間の偏差は0になる。混合差動信号からの入力差動信号の抽出は、双方向ブリッジ内に含まれる抽出器回路によって遂行される。ミキサ構造の抽出器回路はVtwimax_data及びVdsendで構成されている差動信号とVdsendb及びVtwimax_databで構成されている別の差動信号とを混合する。この混合のメカニズムを示す式は

$$V_{rec} - V_{recb} = A((V_{twimax_data} - V_{dsend}) + (V_{dsendb} - V_{twimax_datab})) = A((V_{twimax_data} - V_{twimax_datab}))$$

_datab)-(Vdsend - Vdsendb))
である。

【0024】インピーダンス整合回路は2つのフィードバックループで構成され、一方は電流バイアス用信号'Iobias'を生成し、他方はVCR制御信号'Zobias'を生成する。図12に示す演算増幅器1は、参照電圧Vext_swingとノード電圧Vextresとを比較する。このノードは500Ωの抵抗を通してVDDに接続されている。もしVext_swingとVext_resとの間に偏差があれば、演算増幅器1の出力信号は500Ω抵抗の電流レベルを制御して電流源のゲート電圧を調整することによって偏差を補償する。この電流源のゲート電圧は、電流バイアス用信号'Iobias'として使用される。その結果演算増幅器1を含んで構成されている負フィードバックループによってVext_resはVext_swingに等しくされる。図12に示す演算増幅器2はVext_swingとVCRとして使用されているPMOSTランジスタのドレインである内部ノード電圧Vnode1とを比較する。もしVext_swingとVnode1との間に偏差が存在すれば、演算増幅器2の出力信号はVCRのゲート電圧を制御してこの偏差を取り除く。演算増幅器2の出力信号はVCR制御信号'Zobias'として使用される。その結果VCRの電流レベルが'Iobias'信号によって500Ωの抵抗に等しくされているので、VCRは500Ωの抵抗と等価になる。Vnode1は、Vext_swingに等しくされているVext_resに等しくなる。従ってもしVCRのゲート電圧が'Zobias'信号によって制御され、また電流レベルが'Iobias'電流源によって決定されれば、PMOSTランジスタはある抵抗に等しいVCRとして使用することができる。フィードバックループを安定させるために、内部補償MOSコンデンサが含まれている。これらのフィードバックループは電源投入時に活動となり、温度及び電源変動を絶えず補償する。

【0025】図13は、受信機システムの詳細なブロック線図である。図13に示すシステムは、「直列入力」ラインから到達する直列データを並列データに変換し、それをRxデータとして他の装置(図示してない)へ供給する。直列入力ライン上に存在するデータは、図12に示す双方向バッファから供給されるデータに対応している。換言すれば、直列入力ライン上のデータは、伝送路上の混合信号から送信機の出力データを減算済みであり、従って並列形状に変換すべきデータである。図13にはシングルエンデッド形状に示されているが、好ましい実施例では図13に示されている全ての回路が差動であることを理解されたい。図13において、クロック60は30位相のクロック信号をデータサンブラに供給する。従って10ビットのデータを生ずるようなエンコーディング技術を使用するものとするれば、データサンブラはデータの各ビットを3つの異なる時点にサンプルす

17

る。この3回毎のサンプリングによって、データストリーム内の縁を決定し、データビットを正しく整列させることができる。要約すれば、図13に示す構造には2つの目的がある。第1に、入力直列データストリーム内の如何なるビットの状態をも正しく検出できるような手法で、入力データをサンプルしなければならない。データを送出した原始ステーションとデータを検出する受信ステーションとの間のクロック信号は同期していないから、システムは各データビットの縁を決定できなければならない。更に、システムはデータの各フレーム内の第1データビットの位置を正しく決定できなければならない。そうでなければ、データが正しく検出されサンプルされても、各バイト（ワード）の内容は不正確になる。何故ならば、ワードはその高位ビットとして先行バイトの低位ビットを含み、またその低位ビットとして受信されるバイトの高位ビットを含み得るからである。他の誤りも考え得る。従って、図13のデータ回復システムは、低オーバーサンプリング比、短待ち時間、及び並列データ回復を提供する。このシステムは、遠隔ステーションのクロックとローカルステーションのクロックとの間の周波数差が小さいものとして、3倍オーバーサンプリングを使用する。オーバーサンプリング比が低く、データを並列に処理することによって、データ処理速度が増加する。100 MHzクロックの1クロックサイクル中にデータサンブラは、実際のデータの10ビットに対応してサンプルしたデータの30ビットを供給する。デジタルフェーズロックドループは、データ内の移り変わり縁を見出す。サンプルされたデータの30ビット内には10個の低から高への、もしくは高から低への移り変わりが存在し得る。複数の移り変わり位置がデジタル的に平均され、低域通過濾波される。ジッタを原因とする高速位相変化はデジタル低域通過濾波によって除去されるが、それでも遠隔ステーションとローカルステーションとの間の周波数サンプルによってもたらされる徐々の位相ドリフトには従う。

【0026】図14は、30サンプル点を有する伝送路上の典型的なデータ信号を示す。クロック60は、直列リンクに結合されているデータサンブラに30位相クロックを供給する。図示の目的で1001110101の仮説ビットストリームをシングルエンデッド形状で示してある。もし差動伝送路を使用するのであれば、図14に示す波形の鏡像が付加され、この鏡像が同一のクロック信号で、しかし付加的な回路によってサンプルされる。しかしながら、実効的には、並列サンブラはこの波形をサンプルし、得られた2値出力信号をデータシャフラ210（図13）へ供給する。図13のデータサンブラは、入力データをサンプルするためのセンス増幅器を含む。図15は、図13に示すデータ入力ライン上のデータの状態を検出するセンス増幅器の詳細図である。図15に示す入力ノード211及び212は、双方向バッファから

18

差動信号を受信するように接続されている。この信号はインバータ213及び214によって形成されている反転段を通り、適切なクロック位相に接続されている一対の直列接続されたトランジスタに供給される。図15に示すセンス増幅器の場合には、クロック位相 ϕ_1 及び ϕ_2 を使用している。直列リンクに結合されている他のセンス増幅器は、異なる時点でデータをサンプルできるように他のクロック位相を使用する。センス増幅器は、プリチャージ、サンプル、再生成及び保持シーケンスを使用して機能する。図の上側部分に示す第1段は主として信号の検出を行い、図の下側部分に示す第2段は検出した信号の主増幅を行う。

【0027】クロック ϕ_1 及び ϕ_2 が重なり合う時に、入力信号がノード215及び216へ供給される。ノード215と216との間の回路は、公知設計の交差結合差動センス増幅器を形成し、信号を増幅する。全体を217で示すトランジスタはクロック信号を受け、センシングの前にノード215及び216を平衡させる。換言すれば、クロック信号 ϕ_1 及び ϕ_2 が重なり合う直前にノード215及び216を互いに短絡してそれらを平衡させるのである。これにより入力ノード211及び212をより正確にセンスすることができる。トランジスタ218はセンス増幅器の第1段を第2段へ接続する。これらのトランジスタがオンになると、センス増幅器の第1段からの出力信号がセンス増幅器の第2段の入力ノードへ転送される。第2段は第1段と類似しており、論理的には反転透過ラッチと等価である。図13に示すように、位相検出器240がデータシャフラ（shuffler）に接続され、データの縁を検出するように機能する。例えば位相検出器はクロック信号ck2とck3との間、もしくはck20とck21との間の縁（図14参照）の存在を検出することができる。縁の信頼できる位置が分かると、個々のデータビットを決定することができる。換言すれば、一旦ck2とck3との間の縁が分かれば、クロック信号ck0、ck1、及びck2に採取されたサンプルがデータストリーム内の1つのビットを表し、データストリーム内の別のビットはクロック時ck3、ck4、及びck5によって表される等が分かる。データサンブラはこの情報をボータ（voter）へ供給し、ビットを表すにはどのデータサンプルを使用すべきかを決定可能ならしめる。例えば上記の仮説を使用すれば、クロック信号ck1、ck4、・・・、ck19にサンプルされたデータは、データライン上のビットの状態の正しいサンプルを表している。（これらは、そのビットを形成するパルスの中央付近で得られたサンプルである。）

勿論、単にビットを検出するだけで十分ではない。前述したように、データを信頼できるものとするために、データの各バイト即ちワードの周囲のフレーム境界を決定しなければならない。実効的にはバレルシフタであるデータシャフラ210がこの機能を遂行する。この技術を

以下に説明する。

【0028】最初にシステムに電源を投入した時に、データは所望プロトコルを使用してエンコードされる。前述したように好ましい実施例では、データの内容には無関係に十分な縁を得るために、またデータに統計的平衡を与えて受信機の偏りを防ぐために、8:10ビットプロトコルが使用されている。8ビットが10ビットにエンコードされるので、若干のビット組合せはイリーガルな状態を表している。これらの状態を検出し、フレーム制御同期等を発生するために使用することができる。直列リンクインタフェースがソフトウェア制御の下に最初に活動化される時に、インタフェースの各ステーションは既知のパターンをインタフェースの他のステーションへ送信する。この既知のパターンは、直列リンクの一方の端の送信機と、直列リンクの他方の端の受信機が互いに同期するまで繰り返し送信される。両者が同期すると、回路250によって縁ポイントが決定される。縁ポイントは、各バイト内のデータの最初のビットを表すクロック位相を実効的に“指し示す”。従って図14に示すデータストリーム例の場合には、縁ポイントはデータストリーム内のck20におけるビットサンプルを、10ビットのシーケンス内のデータの最初のビットであるとして指し示すことができる。このようにしてシステムは、フレーム内の最初のデータの状態を表す信号ck20の間にサンプルされたデータビットの状態を“知る”。（後にデータ分離器がデータの特別の2ビットを10ビットから取り除き、それらを“有効”ビットとして処理し、残余の8ビットを出力として供給する。）フレーム境界が正しく決定されると、本質的には3対1のマルチプレクサであるポータ220は、適切に配列された正しい10ビットの出力をデータセクタ230へ供給する。図13に示すように、これによりシステムは差動データ出力信号を供給することができる。

【0029】データ回復は、オーバサンプルされた3ビットから1ビットを通過させることによって遂行される。入力データの中心をサンプルするビットだけが通過させられる。1内部クロックサイクル中に10ビットが処理される。デジタルフェーズロックドループ(DPLL)の外部の他のデジタル回路はDPLLの周波数の半

分で動作するから、DPLLは20ns中に20ビットの並列データを送給する。30:1のマルチプレクサは2つのポイントによって、30の等間隔クロックの中から1つのクロックを選択する。選択されたクロックは、緩衝された後にDPLL自体をクロッキングするために使用される。選択されたクロックは、他のデジタル回路へ渡される前に2で除算される。この除算されたクロックは、遠隔ステーションの周波数と同一の周波数を有している。DPLLは最高位ビット(MSB)整列をも行う。DPLLの外側のコーダはプリアンプリング期間中に20ビットの並列データ内のMSB位置を調べる。回復されたデータがワード整列されていない場合には、コーダはSKIP信号を発生する。DPLLはスキップ信号が発生したことを見出すと、ビット位置を1ビットだけ回転させる。コントローラは、回復されたデータがワード整列するまでスキップ信号を発生する。

【0030】現在の位相及びワード情報を保持する2つのポイントが存在する。位相ポイントは3ビットのリングカウンタであり、位相情報を記憶する。位相ポイントPは3つの値、即ち0、1、2を取ることができる。オーバサンプルされた30ビット並列データの中の10ビット、OverData[0:29]だけが位相ポイントに従って選択される。P=“0”である時にOverData[1]、OverData[4]、・・・、OverData[28]が回復されたデータとして選択される。位相ポイントと回復されたデータRecDataは、

$$\text{RecData}[n] = \text{OverData}[3n + (P+1) \bmod 3]$$

なる関係がある。但し、 $n=0, 1, 2, \dots, 9$ である。もし現位相ポイントが1であれば、それはOverData[3n]とOverData[3n+1]との間に発生するオーバサンプルされたデータ内に低から高へのデータ移り変わりが発生したことを意味する。各サイクル毎に、低から高への、または高から低へのデータ移り変わり位置が計数され、現位相ポイントと比較される。OverData[3n]とOverData[3n+1]との間に発生した移り変わりの数は4ビット数Tran01にエンコードされる。Tran01、Tran12及びTran20は次のように与えられる。

【0031】

【数1】

21

22

$$\text{TRAN01} = \sum_{n=0}^9 (\text{OverData}[3n] \oplus \text{OverData}[3n+1])$$

$$\text{TRAN12} = \sum_{n=0}^9 (\text{OverData}[3n+1] \oplus \text{OverData}[3n+2])$$

$$\text{TRAN20} = \sum_{n=0}^8 (\text{OverData}[3n+2] \oplus \text{OverData}[3(n+1)])$$

【0032】デジタル縁ボータは、1の数の合計と、比較とを行う。Tran01、Tran12及びTran20は現位相ポイントと比較され、位相ポイントを移動させるか否かが決定される。最大数の移り変わりを有している位相が現位相と比較される。もし新位相が現位相よりも進んでいれば、アップ信号が生成される。このアップ信号は低域通過濾波される。3連続アップ信号が位相ポイントを1ポイントだけ更新する。もし入力データの形状が方形であり、サンプリングプロセスが完璧であれば、全ての1ビットは3回サンプルされ、位相ポイントが指し示している点において移り変わりが発生する。しかしながら実際のシステム環境においては、データパターンに3連続0もしくは1を持たせないようにする幾つかの誤りの源が存在する。この理由から、低域通過濾波が必要なのである。ワードポイント240は、20ビット整列及びクロック選択のために使用される。これは10ビットのリングカウンタであり、10値、即ち0、1、2、・・・、9を取ることができる。ワードポイントは2つの場合に变化する。第1にDPLLがスキップ信号を受信した時に、ワードポイントは1だけ増加する。第2に位相ポイントが1から2へ変化した時に、ワードポイントは1だけ増加する。位相ポイントが2から1へ変化した時に、ワードポイントは1だけ減少する。ワードポイント及び位相ポイントは、HPコードがリセット信号を送った時に0にリセットされる。

【0033】クロック回復は、30多相クロックの1つを選択することによって行われる。この選択はワードポイント及び位相ポイントによって行われる。選択されたクロックは緩衝され、DPLL自体によって使用される。コード及び他のデジタル回路は50MHzで動作しているから、このクロックは分割され、緩衝される。ポイントと選択されたクロックとの間の関係は、次式で表すことができる。

$$\text{INT_CLK} = \text{CK}[3(W+1) \bmod 10] + (P+1) \bmod 3]$$

ローカルステーションは、ワード及び位相ポイントを変化させることによって遠隔ステーションの周波数及び位相を追尾する。遠隔ステーションの周波数がローカルステーションの周波数より高い場合には、現クロックをも

20

30

40

50

たらししたクロックが選択される。スキップ信号によるワードポイント変化も、クロック選択を変化させる。図16の(a)は、送信ステーションの周波数が受信ステーションの周波数よりも高い場合のクロック選択プロセスを示す。図16の(b)は、受信ステーションが速い場合のプロセスを示す。データサンプラ(図13)は入力データを30多相クロックでオーバサンプルする。SeqOverData[0:29]はオーバサンプルされたデータである。サンプリングは順次に発生するからサンプラの出力も順次に使用可能であり、30位相クロックに同期されている。データシャフラはビット整列を行う。内部クロック同期回路(もしくはシンクロナイザ)は、15のフリップフロップからなる。この回路は30ビットのSeqOverDataをDPLLの内部クロックに同期させる。縁ボータは移り変わりの数を計数し、比較する。

【0034】図17は、位相ポイントを示す。これは3ビットのリングカウンタであり、ブルダウン及びブルアップ信号に従って単一のビットを循環させる。ワードポイントは位相ポイントと同一構成であるが、ワードポイントは10ビットのリングカウンタである。これら2つのポイント間の接続を図18に示す。位相が2から1へ変化すると、マイナス信号が発生してワードポイントを減少させる。コードがスキップ信号を生成すると、それは50MHzクロックに同期される。もしスキップ信号が直接DPLLに与えられれば、DPLLは2サイクルの間発生していることになる。スキップ同期発生器は、コードが生成したスキップ信号をDPLLの内部クロックに同期させる。もしスキップ同期信号及びマイナス信号が同時に発生すれば、スキップ同期信号が無視されてスプリアス効果を防ぐ。リセット同期回路を使用するのは2つの理由からである。第1は、ポイントの状態は電源投入時には予測できないから、リセット機構が必要なことである。第2は、リセット信号をDPLLの内部クロックに同期させることによって、リセット信号がDPLLの動作をより信頼できるものとするからである。図19はリセットタイミング図である。

【0035】図20のクロックマルチプレクサは1段30:1マルチプレクサである。これは30多相クロック

の中から1つを選択する。マルチプレクサの第1段は位相ポインタによって制御され、第2段はワードポインタによって制御される。位相が変化すると内部クロック期間は、システムクロック期間の29/30に一時的に短縮される。データシャフラは、ワードポインタ値に従って順次に使用可能なデータを整列させる。図21はデータシャフラの回路図である。データシャフラは、本質的にパレルシフタである。図22のデータセクタは、位相ポインタの値に従って、30のオーバーサンプルされたデータの中の10ビットだけを通過させる。このセクタは10個の3:1マルチプレクサのアレイである。位相が変化したデータは位相ポインタが変化してから1サイクル後にデータセクタに到着するから、3つのフリップフロップが挿入されて位相ポインタ値を1サイクルだけ遅延させている。図23は、図13にブロックで示されているポータ220の詳細な回路図である。ポータは本質的に3つの異なる区分からなり、各区分はオーバーサンプルされたデータを受ける。実際には、全ての縁情報は3つの移り変わり位置にグループ化され、各位置は先行位置から1クロック位相だけシフトされ、殆どの移り変わりを有する位置は各グループに属する縁を計数した3つの数を比較することによって検出される。即ち、ポータの上側部分232は一連のORゲートを含み、各ゲートはサンプルデータの2つの隣接するビットを受信するように接続されている。例えば、ORゲート253はクロックck3及びck4にサンプルデータを受けている。区分235内の対応するORゲート255はクロック位相ck4及びck5にサンプルデータを受け、区分238内の別のORゲート257はクロック位相ck5及びck6にサンプルデータを受けている。従っても

しck4とck5との間に縁移り変わりが発生すれば、区分235に1の計数が発生し、区分232もしくは238内には計数は発生しない。これらのORゲートは、破線ブロック261内の回路で示されているようなカウンタ内に接続されており、これらのカウンタ自体はコンパレータ265によって比較される。最終的に、ノードVO、V1、もしくはV2の1つに大きい計数が現れる。この大きい計数は縁検出器240(図13)を制御する*

表 1

ポータ出力			現位相			制御信号	
V2V0	V0V1	V1V2	P0	P1	P2	Up	Down
0	0	0	X	X	X	0	0
1	0	0	1	0	0	1	0
1	0	0	0	1	0	0	0
1	0	0	0	0	1	0	1
0	1	0	1	0	0	0	1
0	1	0	0	1	0	1	0
0	1	0	0	0	1	0	0
0	0	1	1	0	0	0	0
0	0	1	0	1	0	0	1
0	0	1	0	0	1	1	0

* ために使用され、検出器はデータシャフラ210(図13)を制御する。

【0036】ポータ内のFAで示されているブロックは全加算器であり、HAで示されているブロックは半加算器である。縁ポータからは3つの出力が存在する。OverData[3n+1]とOverData[3n+2]との間の移り変わり数が、OverData[3n]とOverData[3n+1]との間の移り変わり数より大きい場合に、LTran12は高になる。図24は、位相追尾回路及び付属回路を示す。送信機クロックと受信機クロックとの間にドリフトがあると、所与のサイクル内にあるものと解釈すべきであったあるビットが、先行もしくは後続サイクル内にあるものと解釈されるような点まで位相が時間の経過につれてゆっくりと変化する。位相追尾が必要なのである。このようなことがあると受信データストリームに誤りを発生させる恐れがある。位相追尾は、図23に示すポータ回路からの3つの出力信号LTranを受信するように接続することが好ましい。位相追尾回路はポータからの出力信号の全てのサイクルを使用して、縁が移動したか否かを決定することができる。もし縁が移動していれば、図13の縁ポインタはある信号を受信してポインタの位置を調整する。追尾フィルタは、縁ポータから移り変わり数情報を受信する。追尾フィルタは移り変わり位相と現位相とを比較してポインタを変化させる。3連続アップもしくはダウンだけが現ポインタを変化させることができる。アップ及びダウン信号は、表1のように生成される。E01、E12、E20は以下のように定義される。

【0037】

【数2】

$$E01 = LTRAN01 \cdot \overline{LTRAN12}$$

$$E12 = LTRAN12 \cdot \overline{LTRAN20}$$

$$E20 = LTRAN20 \cdot \overline{LTRAN01}$$

【0038】以下の表1は、位相追尾回路が遂行する論理を示している。

【0039】

【表1】

【0040】最初の3列は、位相追尾回路への3つの入力信号V0、V1及びV2の組合せを表している。システムの現位相は、次の3列に示されている。位相追尾回路から供給される出力信号は、最後の2列に示されている。表に示されているようにもし現位相及び位相追尾回路入力信号が同一であれば、アップ及びダウン制御信号は供給されない。しかしながら、他の入力信号は表に示すように出力信号を生成することができる。図25は、送信機のタイミング図である。図26は、受信機の総合タイミングを示す。両図には、先行図において使用した信号名が使用されている。以上に好ましい実施例を説明したが、この説明は本発明を例示したに過ぎず、本発明を限定する意図はない。本発明の範囲は、特許請求の範囲によって限定されるものである。

【図面の簡単な説明】

【図1】直列リンクインタフェースシステムを高レベルで示すブロック線図。

【図2】直列リンクインタフェースを示すより詳細なブロック線図。

【図3】図2内のクロック導体の配列を示す詳細な回路図。

【図4】クロック発振器を示すブロック線図。

【図5】クロック発振器の詳細な回路図。

【図6】図4及び5の回路によって生成される位相調整されたクロックの関係を示すタイミング図。

【図7】データシリアルライザを示すブロック線図。

【図8】20:40 マルチプレクサの詳細な構造を示す図。

【図9】マルチプレクサの動作を示すタイミング図。

【図10】データシリアルライザの詳細な回路図。

【図11】双方向バッファのシングルエンデッド実施例の詳細な回路図。

【図12】双方向バッファ、インピーダンス整合回路及び電流バイアス発生器の差動実施例の詳細な回路図。

【図13】受信機のブロック線図。

【図14】直列リンク上の仮説波形と、それがサンプルされる手法を示す図。

【図15】直列リンクの状態をセンスするのに使用するセンス増幅器の詳細な回路図。

*【図16】(a)及び(b)は送信機及び受信機の相対速度に基づくクロック選択プロセスを示すタイミング図。

【図17】位相ポインタの詳細な回路図。

【図18】ワードポインタと位相ポインタとの間の接続を示すブロック線図。

【図19】リセット信号を示すタイミング図。

【図20】クロックマルチプレクサのブロック線図。

【図21】データシャフラの回路図。

10 【図22】データセレクタのブロック線図。

【図23】ポータの回路図。

【図24】追尾フィルタの回路図。

【図25】送信機の総合タイミング図。

【図26】受信機の総合タイミング図。

【符号の説明】

10 全二重高速データ通信用直列リンクシステム

12 並列インタフェース

15 並列・直列変換器

20 ドライバ回路

25 双方向バッファ

30 ドライバ

34 直列・並列変換器

40 データ分離回路

42 出力インタフェース

50 外部システム

52 受信機

60 高速クロック

62 クロックライン

64 位相周波数検出器

30 65 チャージポンプ及びループフィルタ

68、86、87 遅延セル

90 クロックドライバ回路

100 伝送路

117、118 レジスタ

147、155 電流源

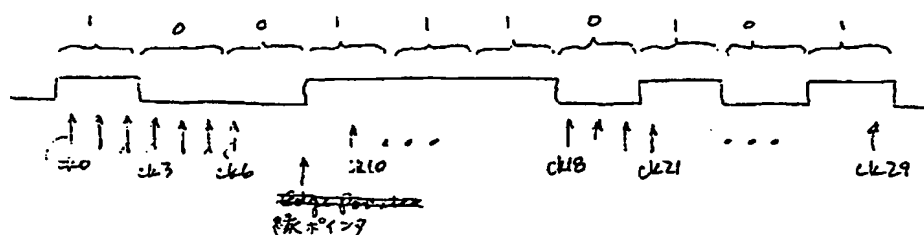
210 データシャフラ

220 ポータ

230 データセレクタ

* 240 縁検出器(位相及びワード検出器)

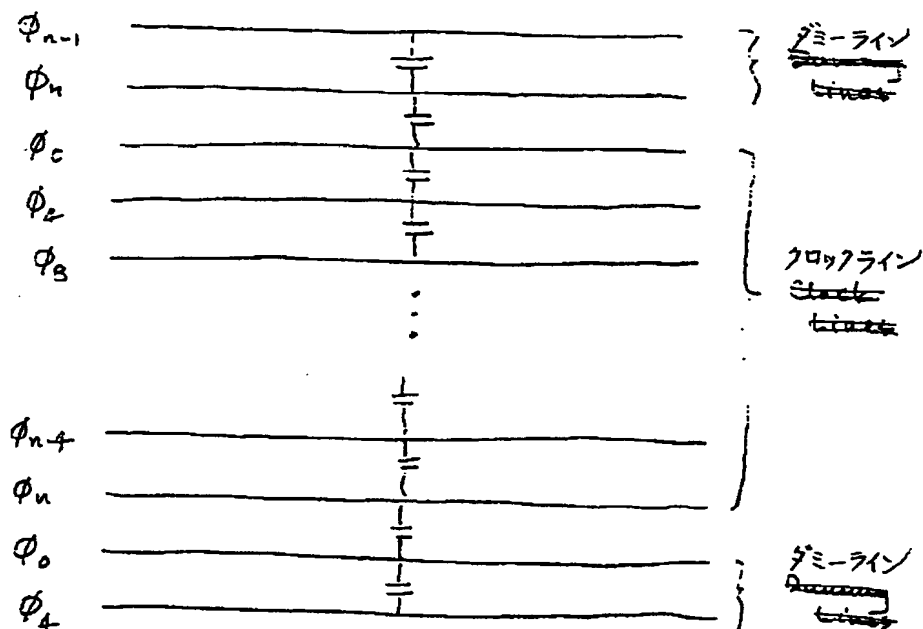
【図14】



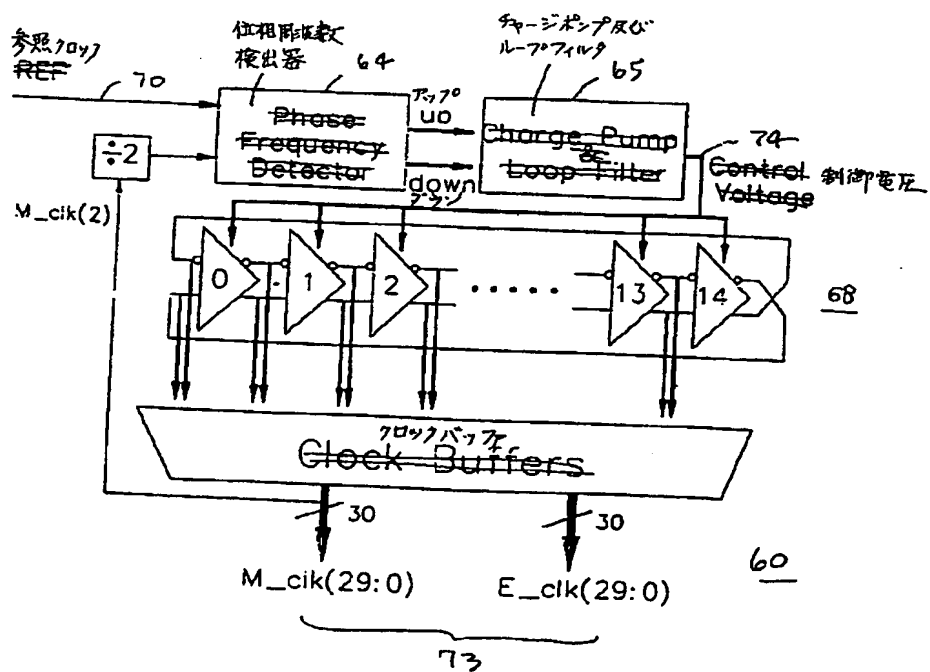
[illegible][illegible]

BEST AVAILABLE COPY

【図3】



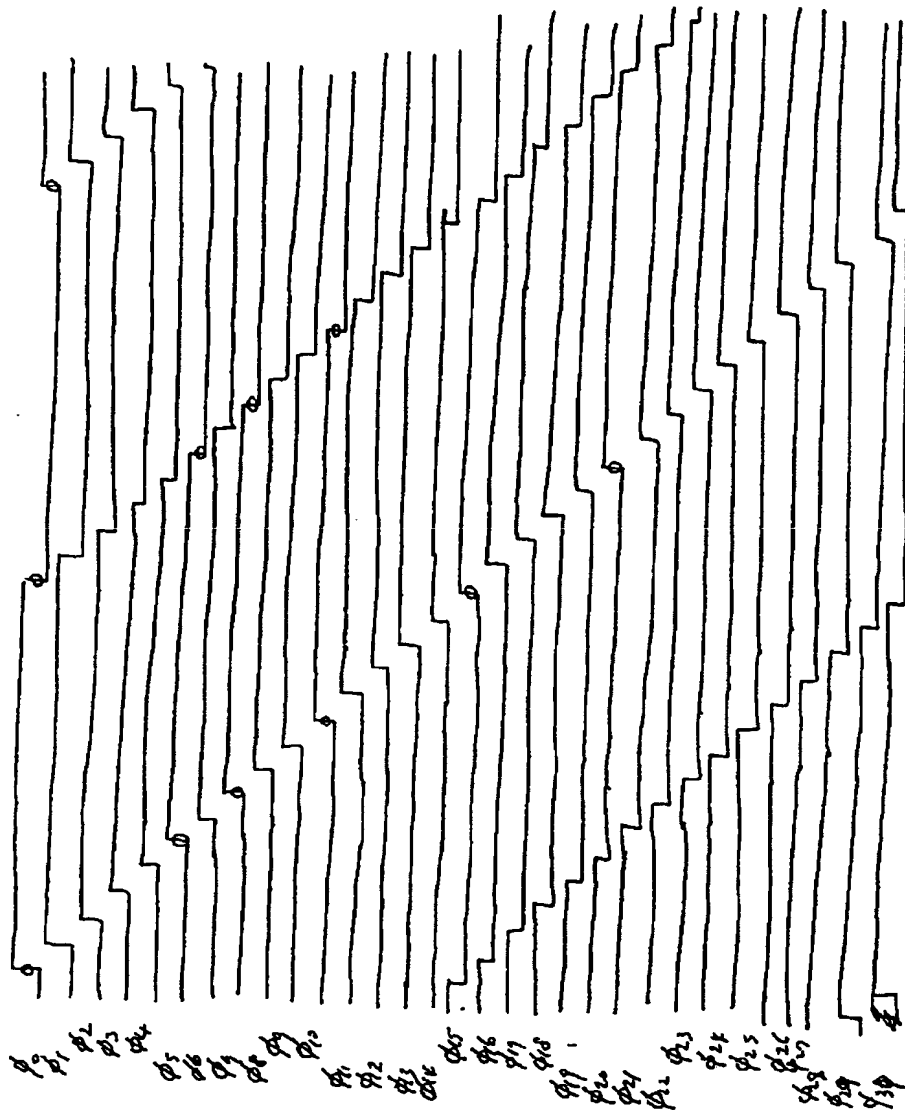
【図4】



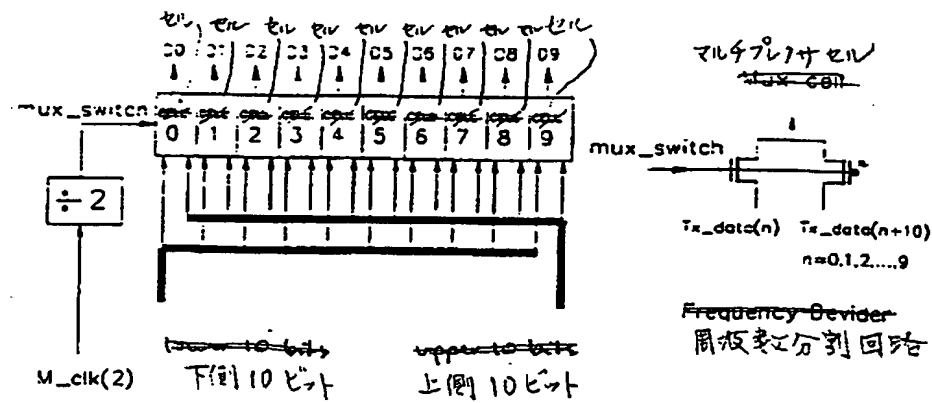
~~and loop filter~~



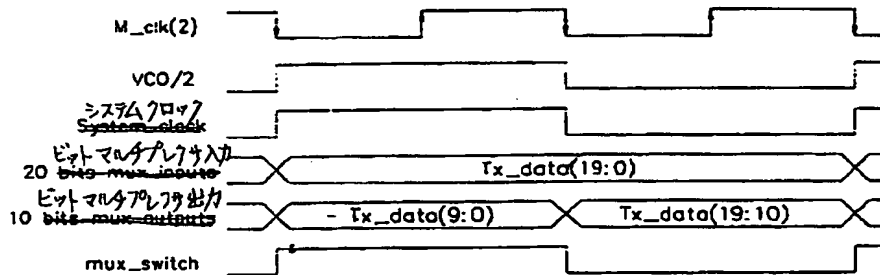
【図6】



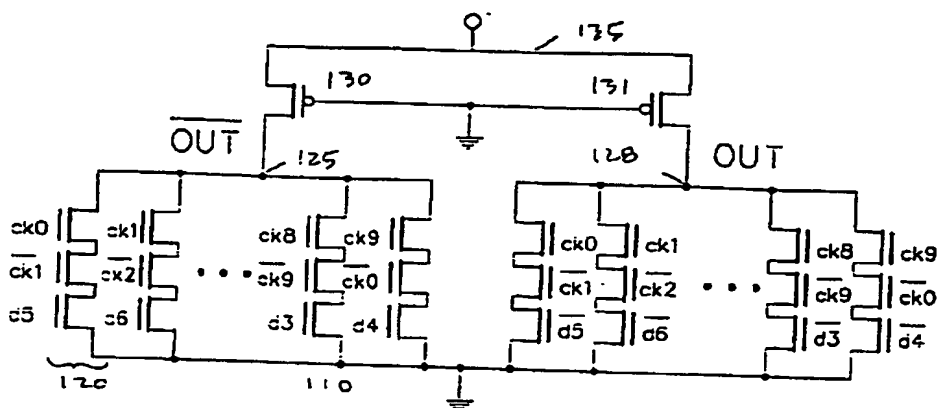
【圖 8】



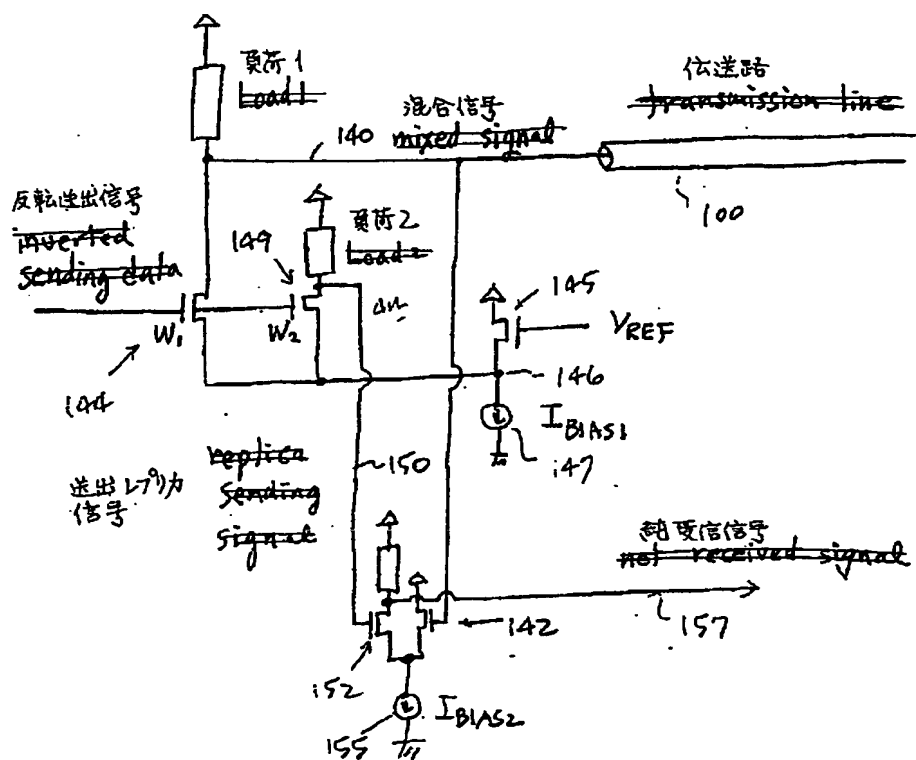
【图9】



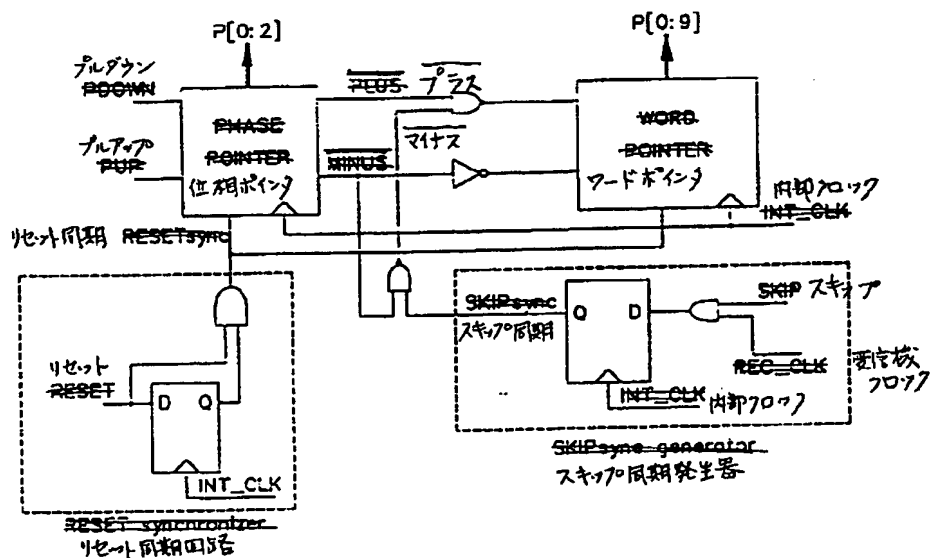
【圖 10】



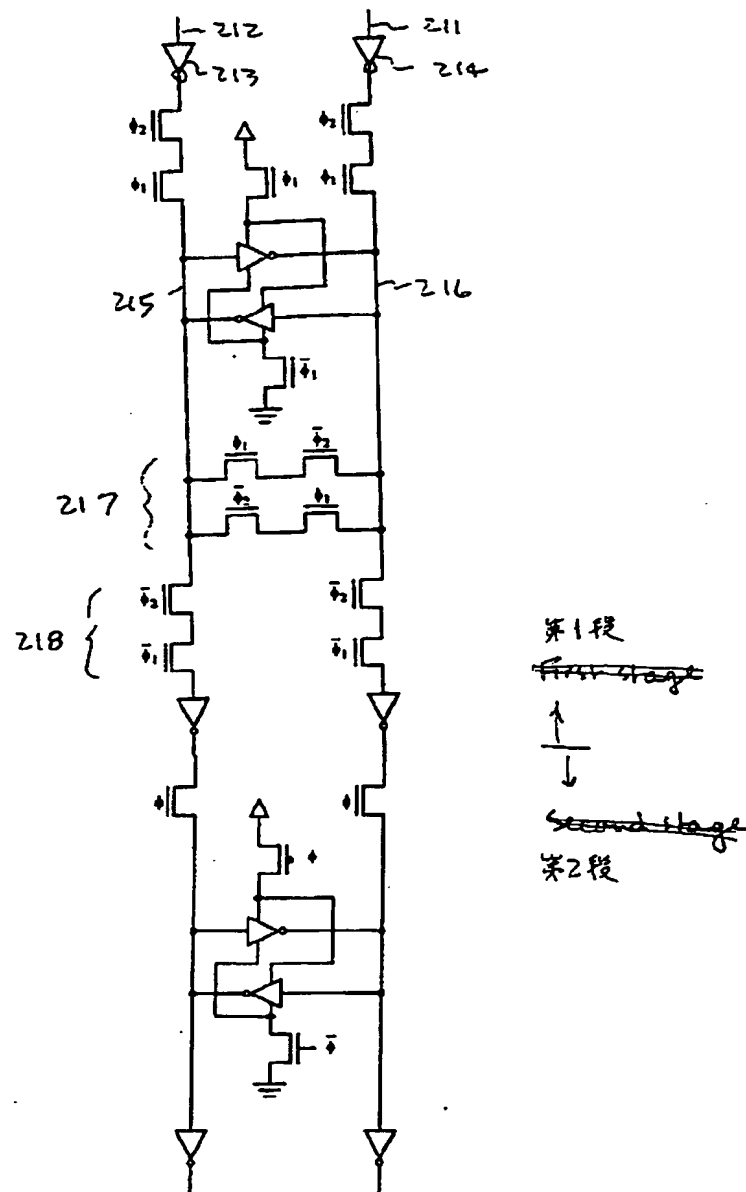
【图 18】



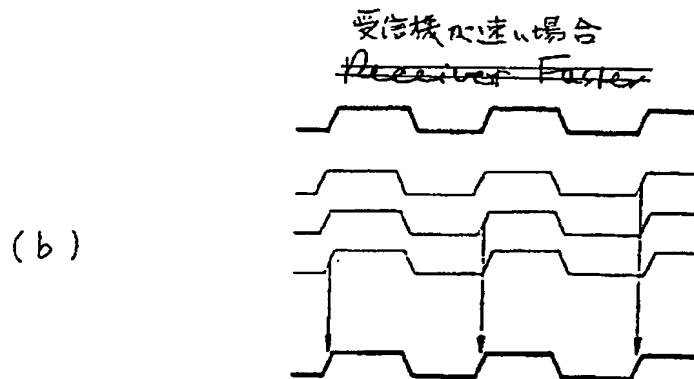
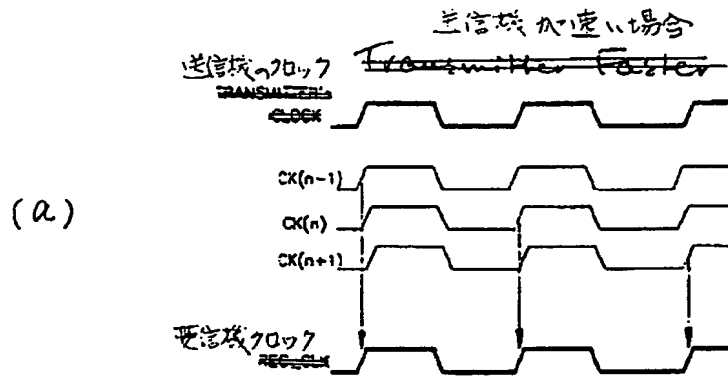
【圖 18】



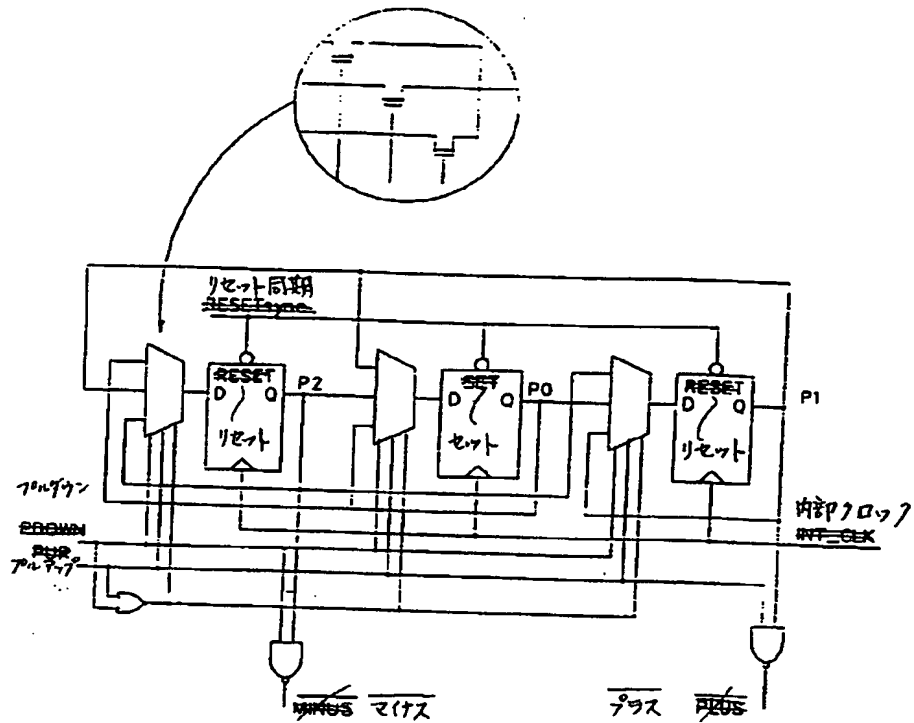
【図15】



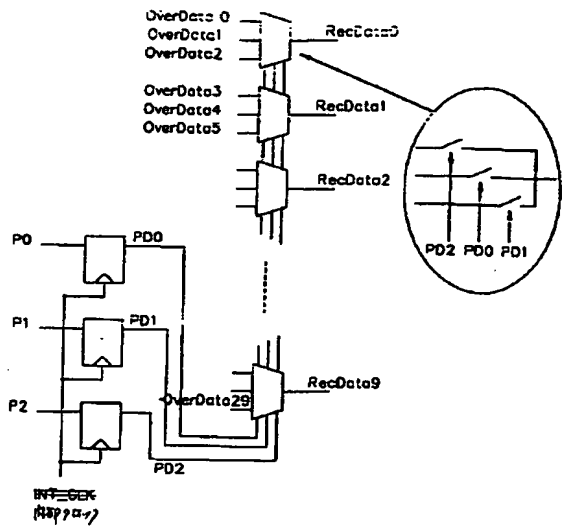
【図16】



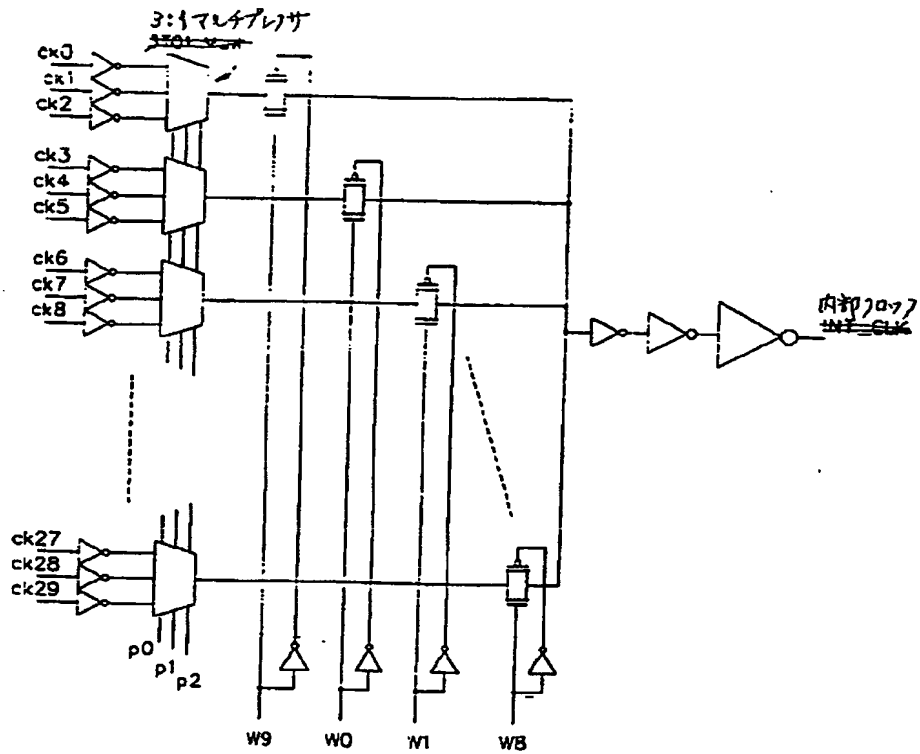
【図17】



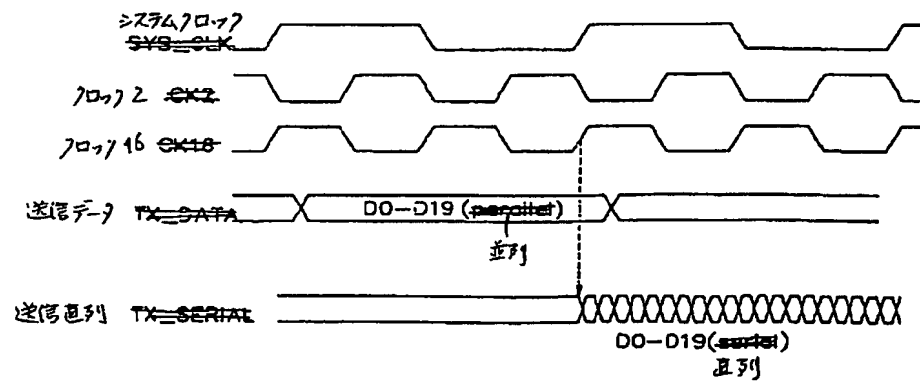
【図22】



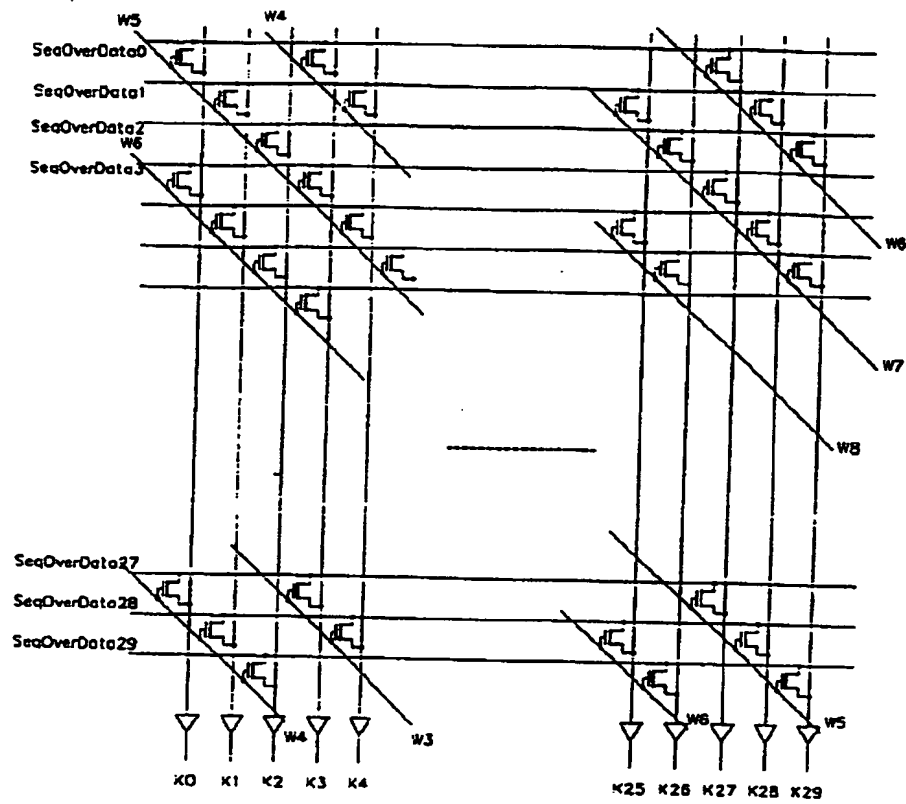
【図20】



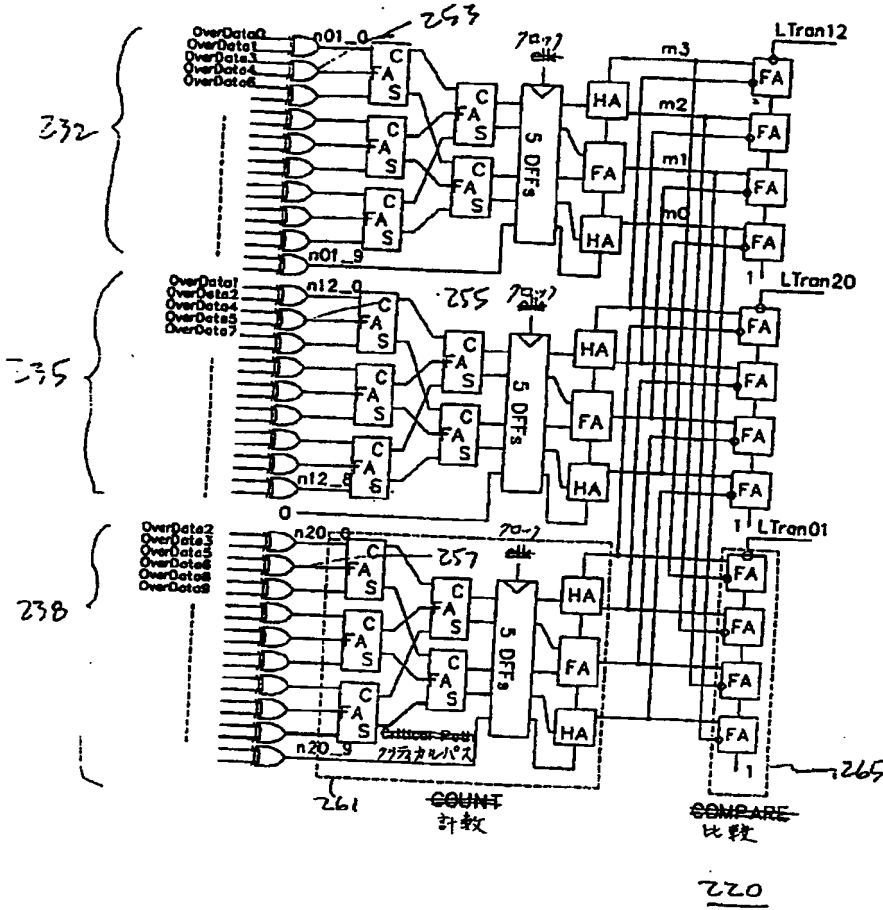
【図25】



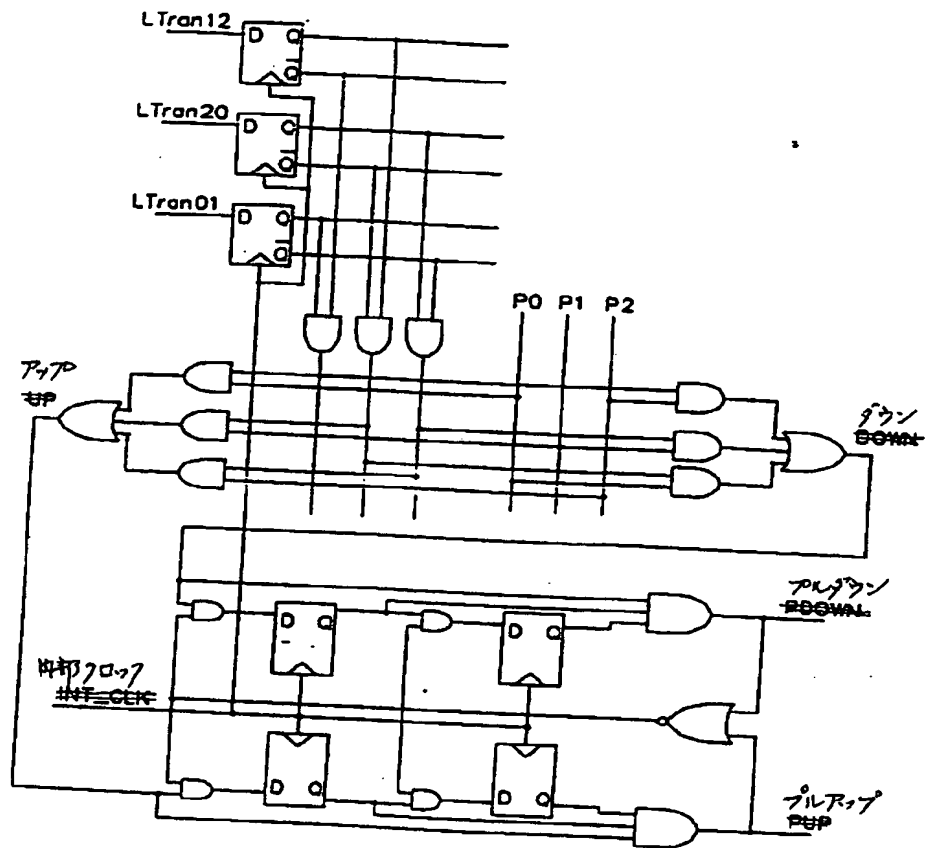
【図21】



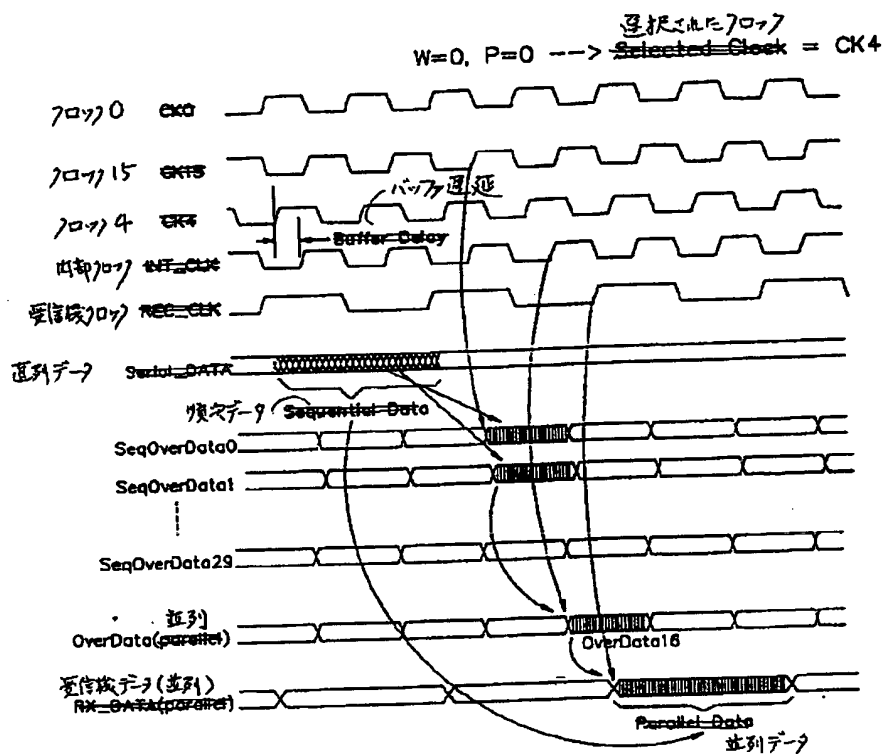
【图23】



【図24】



【図26】



フロントページの続き

(72)発明者 デオグ キョーン イェオング
大韓民国 ソウル特別市 クワナク ボ
ングチュン 7 ドン ガ 201 ギョー
ス アパートメント